

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-195871

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 21/337
H01L 29/808
H01L 21/76
H01L 29/778
H01L 21/338
H01L 29/812

(21)Application number : 10-374567

(71)Applicant : SONY CORP

(22)Date of filing : 28.12.1998

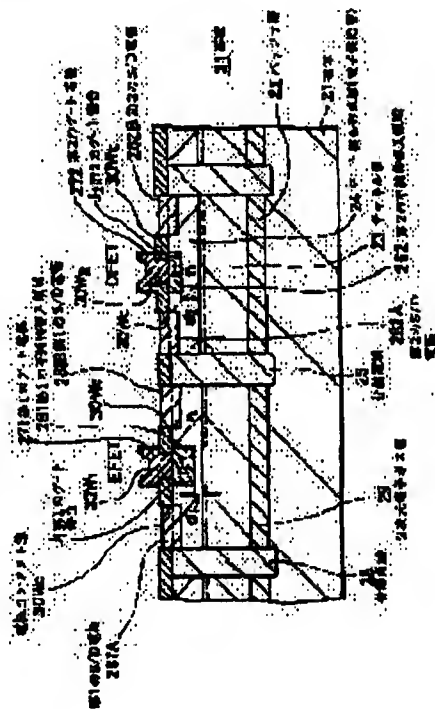
(72)Inventor : IMOTO TSUTOMU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To constitute accurately a semiconductor device, having at least two FETs having different threshold voltages and also realize improved reliability thereof, even when at least one of the FETs is constituted of a MODFET.

SOLUTION: This semiconductor device is constituted of at least two transistors of first and second field-effect transistors having different threshold voltages formed on a common substrate 31, and first and second gate junctions of p-n junctions J1 and J2 having different depths in impurity introducing regions 261 and 262 formed in gate parts of the first and second field-effect transistors respectively.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-195871

(P2000-195871A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 1 L 21/337		H 0 1 L 29/80	C 5 F 0 3 2
29/808		21/76	L 5 F 1 0 2
21/76		29/80	H
29/778			
21/338			

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-374567

(22) 出願日 平成10年12月28日 (1998.12.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 井本 努

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

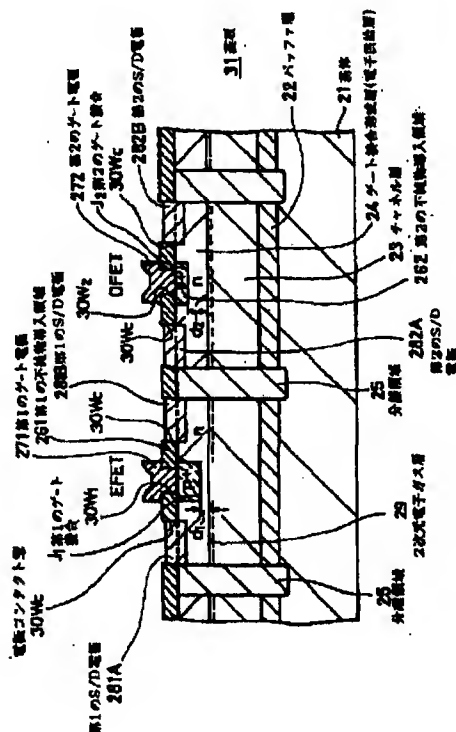
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 互いにしきい値電圧を異にする少なくとも2つのFETを有する半導体装置を高精度に構成することができ、更に、そのFETの少なくとも1つをMODFETによって構成する場合においても、信頼性の向上を図ることができるようにする。

【解決手段】 共通の基板31に、しきい値電圧を異にする少なくとも第1および第2の2つの電界効果トランジスタが形成されて成る半導体装置であって、第1および第2の電界効果トランジスタのゲート部に不純物導入領域261および262による深さを異にするそれぞれp-n接合J₁およびJ₂による第1および第2のゲート接合が形成されて成る構成とする。



【特許請求の範囲】

【請求項1】 共通の基板に、しきい値電圧を異にする少なくとも第1および第2の2つの電界効果トランジスタが形成されて成る半導体装置であって、

上記第1および第2の電界効果トランジスタのゲート部に第1および第2の不純物導入領域による深さを異にするそれぞれp-n接合による第1および第2のゲート接合が形成されて成ることを特徴とする半導体装置。

【請求項2】 上記第1および第2の電界効果トランジスタの少なくとも一方が、変調ドープ型電界効果トランジスタ(MODFET)であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記第1および第2の電界効果トランジスタの少なくとも一方が、ドープドチャネル型の金属-真性半導体-半導体構造ゲート部を有する電界効果トランジスタ(ドープドチャネル型MISFET)であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 上記第1および第2の電界効果トランジスタが、接合型電界効果トランジスタ(JFET)であることを特徴とする請求項1に記載の半導体装置。

【請求項5】 共通の基板に、しきい値電圧を異にする少なくとも第1および第2の2つの電界効果トランジスタが形成されて成る半導体装置の製造方法であって、基体上に、少なくともゲート接合形成半導体層を有する半導体層を形成する半導体基板が用意され、上記半導体層上に、上記第1の電界効果トランジスタのゲート形成部に第1の不純物導入窓が形成されたマスク層を形成する工程と、

該マスク層の上記第1の不純物導入窓を通じて不純物を拡散する第1の不純物拡散工程と、

上記マスク層の上記第2の電界効果トランジスタのゲート形成部に第2の不純物導入窓を形成する工程と、

上記第1および第2の不純物導入窓を通じて同時に不純物を拡散して上記第1および第2の不純物導入窓下に、互いに深さを異にする第1および第2の不純物導入領域を形成して上記第1および第2電界効果トランジスタのゲート部を形成する第1および第2のゲート接合を形成する不純物拡散工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 上記基体上の上記半導体層の成膜工程において、該半導体層の上面から所定の深さにエッチング停止層を設け、上記マスク層に対する上記第2の不純物導入窓の形成工程で、上記半導体層の表面から、上記エッチング停止層までエッチングする工程を含むことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 上記第1および第2の不純物拡散工程が、Znの気相拡散によることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 上記マスク層が、SiN層によることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項9】 上記基体が、GaAs基体であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項10】 上記第1および第2の電界効果トランジスタの少なくとも一方が、変調ドープ型電界効果トランジスタ(MODFET)であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項11】 上記第1および第2の電界効果トランジスタの少なくとも一方が、ドープドチャネル型の金属-真性半導体-半導体構造ゲート部を有する電界効果トランジスタ(ドープドチャネル型MISFET)であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項12】 上記第1および第2の電界効果トランジスタが、接合型電界効果トランジスタ(JFET)であることを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置とその製造方法に係わる。

【0002】

【従来の技術】携帯電話を初めとする移動体通信システムでは、音声や画像の伝送のために、マイクロ波帯からミリ波帯の電波が利用されている。このような高周波信号の送受信における増幅やスイッチング、ミキシングには、現在は、化合物半導体に形成されたショットキー型電界効果トランジスタ(MESFET)や、接合型電界効果トランジスタ(以下JFETという)などの電界効果トランジスタ(FET)が多く使用されている。中でも変調ドープ型FET(以下MODFETという)は、より高い周波数まで利得を確保できることや、構造的に素子の雑音電力が低いこと、さらに、パワーアンプを構成したときに高い効率を得られることや、スイッチを構成したときに挿入損を下げられることから、MMIC(Monolithic Microwave Integrated Circuit)には広く利用されている。

【0003】このようなMODFETを用いたMMICにおいて、比較的消費電力の低いDCFL(Direct Coupled FET Logic)型の論理回路を内蔵したものが要望されるようになった。この論理回路は、例えばSPnT(nは、1, 2, 3, ...)スイッチでは、内蔵するデコーダを構成するために必要となる。

【0004】DCFL回路には、エンハンスメント型FET(以下EFETという)が必要であるが、前述したパワーアンプなどは、主にデプリーション型FET(以下DFETという)を用いて構成されるので、論理回路を内蔵したMMICでは、DFETとEFETとを同一基板上に構成することが必要となる。

【0005】このような、MODFETによるDFETとEFETとを、同一基板上に形成する方法としては、

10

20

30

40

50

例えば米国特許第4,615,102号に開示された方法がある。図10は、この方法によって形成された半導体装置の概略断面図を示す。この場合、例えば半絶縁性GaAs基体よりなる半絶縁性基体1上に、順次アンドープGaAsによるチャネル層2、n型のAlGaAsによる電子供給層3、n型のGaAsによるしきい値制御層4、n型AlGaAs層による第1のエッチング停止層5、n型GaAsによる第1のオーミックコンタクト層6、n型AlGaAsによる第2のエッチング停止層7、n型GaAsによる第2のオーミックコンタクト層8をエピタキシャル成長した積層半導体を形成する。そして、この積層半導体層を横切って、DFETとEFETとの形成部間を例えば溝形成によって素子間分離し、EFET形成部における第2のオーミックコンタクト層8を除去する。また、DFETとEFETの各ゲート形成部に、互いに深さを異にする凹部9Rおよび10Rを形成し、ここにショットキーゲート電極9および10を形成し、これら各ゲート電極9および10をそれぞれ挟んでその両側に、それぞれソースないしはドレイン電極（以下S/D電極という）11、12、13、14をオーミックにコンタクトする。

【0006】このようにして、それぞれゲート電極9および10とチャネル層との間隔、すなわちいわゆるバリア層の厚さが異なることによるそれぞれ異なる所要のしきい値電圧 V_a を有するDFETとEFETとを構成している。

【0007】この場合、DFETとEFETのしきい値電圧 V_a の差を精度よく制御するためには、ゲート電極9および10が形成される凹部9Rおよび10Rの深さの差を精度よく制御する必要がある。このため、しきい値制御層の厚さを正確に選定し、かつエッチング停止層5による凹部の深さを高精度に制御する。

【0008】しかしながら、この方法によって作製されたDFETは、第1および第2のエッチング停止層5および7を横切って、すなわちしきい値電圧を異にするFETの数に対応する2つのエッチング停止層を横切ってドレイン電流を通ずるという構成が採られることから、これらエッチング停止層の電位障壁に依存するあるいはこれらエッチング停止層5および7の厚さおよびキャリア濃度に依存する直列抵抗が、DFETの特性、特にオン抵抗や伝達利得を劣化させる原因となる。したがって、EFETとDFETとを同一基板上に混載させるがために、その特性、特に一方のFET、上述の従来例ではDFETの特性に大きな犠牲が強いられることになる。

【0009】これを回避する方法としては、上述した2つのエッチング停止層を全て排除するか、あるいは少なくともその一のエッチング停止層を排除することが考えられるが、この場合は、両FETのゲートの深さの制御に問題が生じる。

【0010】また、ショットキーゲートによるMODFETによってDFETとEFETによる半導体装置、すなわち半導体集積回路においては、信頼性に問題がある。すなわち、ショットキー接合は、高温バイアス条件下でショットキー電極材料が基板側に拡散し、整流性が劣化することは知られているところであり、これによって、信頼性に問題がある。

【0011】

【発明が解決しようとする課題】本発明は、互いにしきい値電圧 V_a を異にする少なくとも2つのFETを有する半導体装置を高精度に構成することができ、更に、そのFETの少なくとも1つをMODFETによって構成する場合においても、信頼性の向上を図ることができるようにした半導体装置およびその製造方法を提供するものである。

【0012】

【課題を解決するための手段】本発明による半導体装置は、共通の基板に、しきい値電圧を異にする少なくとも第1および第2の2つの電界効果トランジスタが形成されて成る半導体装置であって、第1および第2の電界効果トランジスタのゲート部に第1および第2の不純物導入領域による深さを異にするそれぞれp-n接合による第1および第2のゲート接合が形成されて成る構成とする。

【0013】また、本発明による半導体装置の製造方法は、共通の基板に、しきい値電圧を異にする少なくとも第1および第2の2つの電界効果トランジスタが形成されて成る半導体装置の製造方法であって、基体に、少なくともゲート接合形成半導体層を有する半導体層を成膜した共通の基板が用意される。この基板の半導体層上の第1の電界効果トランジスタのゲート形成部に第1の不純物導入窓が形成されたマスク層を形成する工程と、このマスク層の第1の不純物導入窓を通じて不純物を拡散する第1の不純物拡散工程と、このマスク層の第2の電界効果トランジスタのゲート形成部に第2の不純物導入窓を形成する工程とを有し、更に、これら第1および第2の不純物導入窓を通じて同時に不純物を拡散する。このようにして、第2の不純物導入窓に関しては、第2の不純物拡散工程のみによる浅い不純物導入を行うに比し、第1の不純物導入窓に関しては、第1および第2の複数の不純物拡散工程がなされることによって深い不純物導入を行って、第1および第2電界効果トランジスタのゲート部を、互いに深さを異にする第1および第2のゲート接合によって形成し、互いにしきい値電圧 V_a を異にする第1および第2電界効果トランジスタを有する目的とする半導体装置を構成する。

【0014】すなわち、本発明においては、しきい値電圧 V_a が相違する少なくとも2つのFETを構成するに、そのゲート部を、不純物導入領域によるp-n接合によって構成することにより、ゲート金属が半導体中に

10

20

30

40

50

拡散することを回避する。また、このp-n接合構成にしたことにより、ショットキー接合を用いた場合よりも高い障壁電位を得ることができることによって、よりオン抵抗の低減化が図られる。

【0015】また、本発明製造方法においては、第1および第2の電界効果トランジスタのゲート部の不純物導入領域を形成するに、その実質的拡散時間の制御することにより、その深さ、すなわちp-n接合の深さの設定を行うようにしたことによって、いずれのFETに関しても、その特性を犠牲にすることなく作製することができる。

【0016】

【発明の実施の形態】本発明の実施形態を説明する。

【第1の実施形態】この実施形態においては、しきい値電圧 V_{th} を異にするそれぞれMODFET構造のEFETとDFETとによる第1および第2のFETが、共通の基板上に形成された半導体装置、すなわち半導体集積回路装置を構成する。この半導体装置の一例を、図1の概略断面図を参照して説明するが、この例に限られるものではない。この場合、例えば半絶縁性GaAs基体よりなる基体21上に、例えばバッファ層22を介して順次電子走行層となるチャネル層23、電子供給層となりかつゲート接合が形成される第1導電型例えばn型のゲート接合形成層24とが形成された基板31が構成される。

【0017】2次元電子ガス層29を横切って、図示の例ではゲート接合形成層24、チャネル層23、バッファ層22を横切って、EFETの形成部とDFETの形成部とを電気的に分離する分離領域25が形成され、この分離領域25によって分離された各EFETの形成部とDFETの形成部にそれぞれ互いに深さを異にする第2導電型例えばp型の第1および第2の不純物導入領域261および262が形成され、これら領域261および262と、ゲート接合形成層、このMODFETにおいては電子供給層24との間にそれぞれp-n接合による深さを異にする第1および第2のゲート接合 J_1 および J_2 を形成する。

【0018】第1および第2の不純物導入領域261および262上には、それぞれ第1および第2ゲート電極271および272をオーミックにコンタクトし、各第1および第2の不純物導入領域261および262を挟んでその両側の電子供給層（ゲート接合形成層）24上に、それぞれ第1および第2のS/D領域電極281A、281B、および282A、282Bをオーミックにコンタクトする。

【0019】この構成による半導体装置は、共通の基板31上の、それぞれ分離領域25によって電気的に分離された領域に、それぞれチャネル層24の、電子供給層すなわちゲート接合形成層24との界面に2次元電子ガス層29が形成され、これら2次元電子層29に対向し

てゲート接合 J_1 および J_2 が形成された第1および第2のMODFETが形成される。これらMODFETは、それぞれそのゲート接合 J_1 および J_2 と2次元電子層29との距離 d_1 および d_2 が、 $d_1 < d_2$ とされていることにより、そのしきい値電圧が相違するMODFETが構成される。すなわち、EFETとDFETとが構成される。

【0020】次に、図2および図3を参照して、図1に示した半導体装置を製造する本発明による半導体装置の製造方法の一実施形態の一例を説明する。この場合、先ず図2Aに示すように、例えば半絶縁性GaAs基体よりなる基体21上に、全面的に順次、例えばMOCVD (Metalorganic Chemical Vapor Deposition: 有機金属気相成長) 法、あるいはMBE (Molecular Beam Epitaxy: 分子線エビタキシー) 法等によってバッファ層22、チャネル層23、ゲート接合形成層24すなわち電子供給層とを順次エビタキシャル成長した積層半導体層を形成し、この上に絶縁層30を成膜する。

【0021】バッファ層22は、例えばそれぞれアンドープの厚さ50nmのAlGaAs層とGaAs層とが交互に5層ずつ積層された構成による。チャネル層23は、アンドープの例えば厚さ20nmのGaAs層によって構成される。ゲート接合形成層24すなわち電子供給層は、例えば厚さ5nmのn型のAlGaAs層によって構成する。この場合のドーパントは例えばSiとし、そのドーピング濃度は、例えば $1 \sim 5 \times 10^{18} \text{ atom/cm}^3$ の範囲とする。このゲート接合形成層24すなわち電子供給層の不純物濃度は、目的とする一方のFET、特にDFETのしきい値電圧と2端子ドレイン耐圧の要求に応じて選ぶ。このようにして、チャネル層23と電子供給層24との界面付近に、両者の電子親和力の相違によって、2次元電子ガス層29が形成される。

【0022】また、この場合、図示しないが、電子供給層24とチャネル層23との間に、クーロン散乱を低減させるためのスペーサ層を、電子供給層24と同じ材料で、例えば1~4nmの厚さに介在させた構成とすることもできる。

【0023】絶縁層30は、後述する不純物拡散のマスクとして用いられることから、この不純物、例えばZnの拡散に対するマスク効果を奏する材料および厚さに選定される。このような絶縁層30としては、厚さ10nm以上、例えば50nmの厚さを有する例えばSiN単層膜、あるいはSiN層上にSiO₂層を積層した積層膜構造とすることができる。

【0024】このようにして、基体21上に、積層半導体層が形成されて構成された基板31に対し、図2Bに示すように、素子間分離を行う分離領域25を形成する。この分離領域25の形成は、例えば酸素原子を、第1および第2のFET、この例ではEFETとDFETの各形成領域を囲んでその平面パターンが格子状をなす

ように、絶縁層30を通じてイオン注入する。この場合の注入エネルギーは、濃度分布のピークが、電子供給層すなわちゲート接合形成層24と重なるか、あるいは多少電子供給層より深い所に位置するように選ぶ。この注入エネルギーは、例えば150~250keVとし、ドーズ量は、電子供給層のキャリア濃度が十分低下する程度に、例えば $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ とする。

【0025】次に、ゲート接合を構成する第1の拡散工程を行う。このため、先ず、図2Cに示すように、絶縁層30の、DFETの形成部のゲート部を形成する部分に、第1の不純物導入窓30W₁を形成する。この窓30W₁の開口は、フォトリソグラフィによるパターンエッチングによって行うことができる。すなわち、絶縁層30上に、フォトレジスト（図示せず）を塗布し、これにパターン露光を行って後現像処理して、例えば露光部におけるフォトレジストを除去し、此处に開口を形成し、このフォトレジストをエッチングマスクとしてこの開口を通じて露呈した絶縁層30を、エッチング除去し、此处に不純物導入窓30W₁を穿設する。このエッチングは、例えばCF₄とH₂（またはO₂）によるガス系を用いた反応性イオンエッチング、あるいはBHF（バッファードフッ酸）に基板31を浸漬するウェットエッチングによることができる。

【0026】その後、上述のフォトレジスト（図示せず）を除去し、その後、このようにして形成した絶縁層30の不純物導入窓30W₁を通じて、第1の不純物拡散工程を行って、不純物導入窓30W₁下に不純物導入領域26を形成する。この不純物導入は、例えばp型不純物のZnを、水素を搬送ガスとして供給し、更に、基板からの砒素の脱離を防ぐため、雰囲気には、所要のガス分圧でアルシン（AsH₃）を添加する。すなわち、この不純物導入は、例えば基板温度600℃で、ジエチル亜鉛Zn（CH₃）₂とアルシンAsH₃とH₂とのガスを供給することによって行う。

【0027】拡散の終了点の制御は、正味の拡散時間によって、あるいは、本出願人による出願に係る特開平10-284562号に開示された方法、または周知の水銀プローブ法による所定のピンチオフ電圧に達したことを確認することによって行うことができる。そして、この第1の不純物拡散の終了点の設定は、後述する第2の不純物拡散が、第1の不純物導入窓30W₁を通じて重ねてなされた状態で、最終的に得るEFETにおいて、目的とするしきい値電圧が得られるように選定される。

【0028】次に、図3Aに示すように、更に、絶縁層30に対し、基板31のDFETの形成部のゲート形成部に、第2の不純物導入窓30W₂を形成する。この窓30W₂の開口は、前述の第1の不純物導入窓30W₁の形成と同様の方法によることができる。

【0029】そして、この場合においても、第2の不純物導入窓30W₂を形成するためのフォトレジストを除

去した後、絶縁層30をマスクとして、両第1および第2の不純物導入窓30W₁および30W₂を通じて不純物を拡散する第2の不純物拡散工程を行う。この第2の不純物拡散工程は、先の第1の不純物拡散工程と同様の方法によることができる。

【0030】このようにして、DFETとEFETの両ゲート部に、それぞれp型の高不純物濃度の第1および第2の不純物導入領域261および262によってp-n接合による第1および第2のゲート接合J₁およびJ₂を形成する。

【0031】このようにして形成された第1および第2の不純物導入領域261および262は、第1の不純物導入領域261においては、第1および第2の不純物拡散工程がなされることによって、第2の不純物拡散工程のみによって形成された第2の不純物導入領域262に比して、深く拡散され、第1のゲート接合J₁は、第2のゲート接合J₂より深い位置に形成される。すなわち、第1および第2のゲート接合J₁およびJ₂と2次元電子ガス層29との間隔d₁およびd₂は、d₁<d₂となる。

【0032】この拡散の終了点の制御は、第1の不純物拡散工程における同様の方法によることができるが、この場合、第1の不純物拡散工程で、その拡散深さが所要の深さに制御されて、これら第1および第2の不純物拡散工程後において、両ゲートに関して、それぞれ同時に所望のしきい値電圧V_{th}が得られるように制御される。

【0033】その後、図3Bに示すように、各窓30W₁および30W₂を通じて各第1および第2の不純物導入領域261および262上に第1および第2のゲート電極271および272をオーミックにコンタクトする。

【0034】第1および第2のゲート電極271および272は、例えば下層から順次Ti、Pt、Auの各金属膜による3層金属層を、それぞれの膜厚を、50nm、50nm、300nmとして例えば電子線蒸着法によって、各窓30W₁および30W₂を内を含んで全面的に形成し、その後、この金属層をフォトリソグラフィを用いてパターン化することによって形成できる。すなわち、この場合、全面的に形成したTi、Pt、Auの各金属膜による金属層上に、全面的にフォトレジスト層を塗布し、パターン露光、現像を行って、ゲート電極の形成部を残し他部を除去し、このフォトレジスト層をマスクとして例えば中性Arビームでスパッタリングするイオンミリングを行い、マスク下の金属膜を残して他部を除去することによって金属膜のパターン化、すなわち第1および第2のゲート電極271および272の形成を同時に形成することができる。

【0035】その後、図1に示すように、ゲート接合形成層24、すなわち電子供給層に対して、両不純物導入領域261および262を挟んで、かつこれら領域26

10

20

30

40

50

1および262と所要の間隔を保持する位置に、電極コンタクト窓30Wcを開口し、これら電極コンタクト窓30Wcを通じて電子供給層24にS/D電極281Aおよび281B、282Aおよび282Bをオーミックにコンタクトする。

【0036】これら電極コンタクト窓30WcおよびS/D電極281A、281B、282A、282Bの形成は、図3Bで示したゲート電極271および272の形成後に、図示しないが、これらゲート電極271および272を覆って全面的にフォトレジスト層を塗布し、
10 フォトリソグラフィによってフォトレジスト層に、電極コンタクト窓30Wcの形成部上に開口を形成し、先ず、このフォトレジスト層をマスクとしてこのフォトレジスト層に形成した開口を通じて絶縁層30に対するエッチングを行って電極コンタクト窓30Wcを開口する。このエッチングは、前述した第2の不純物導入窓30W、および30W₂の形成と同様の手法によって形成することができる。この場合、好ましくは、エッチング時間を例えば50%程度過剰に設定するか、中性ラジカルか、BHFを用いた等方性エッチングを加えることにより、絶縁層30に対してわずかに横方向のエッチングを進行させ、各窓30Wcの縁部にフォトレジスト層がひさし状に突出するオーバーハングが生じるようにする。

【0037】次に、更にこのフォトレジスト層を用いてS/D電極をリフトオフ法によって形成する。すなわち、電極コンタクト窓30Wcを通じて、ゲート接合形成層の表面に被着するように、フォトレジスト層上に渡って全面的にS/D電極を構成するオーミック電極材料を堆積させる。次に、アセトンなどの有機溶剤を用いて
30 フォトレジスト層を除去し、このフォトレジスト層の除去と共に、このフォトレジスト層上に形成された部分の電極材料を除去する。すなわち、リフトオフする。このようにして、各電極コンタクト窓30Wcを通じてゲート接合形成層、すなわち電子供給層24に各S/D電極281Aおよび281B、282Aおよび282Bの被着がなされる。この電極材料は、例えばAuGe合金とNiの2層膜とし、それぞれの膜厚は、例えば、170nmと45nmとする。電極材料の堆積には、抵抗加熱蒸着法などの基板温度上昇の少ない方法を用いることが好ましい。

【0038】その後、基板31を、フォーミングガス雰囲気中で、400~450℃で30秒~90秒間加熱し、S/D電極281Aおよび281B、282Aおよび282Bと、基板材料とを合金化させ、各S/D電極のオーミックコンタクトを行う。

【0039】上述して得た半導体装置は、DFETとして最適化されたエピタキシャル半導体層を有する基板31を用いて、しきい値電圧が相違する、すなわち、上述の例ではDFETとEFETによる第1および第2のF

ETが形成される。

【0040】そして、上述の本発明装置およびその製造方法の例では、エッチング停止層を用いていないことから、基板31の構成が簡潔であり、したがって、その製造が簡潔となることから、基板31の製造コスト、エピタキシャル技術に関係する不良品の発生率の低減化が図られる。

【0041】さらに、冒頭に述べたエッチング停止層に起因する直列抵抗が除去されるため、より低いオン抵抗や伝達利得、遮断周波数などを得ることができる。

【0042】また、DFETを構成する基板31に、EFETを混載させるために増加する工程は、図3で説明した第2の不純物導入窓30W₂の形成と、第1および第2不純物導入領域261および262を形成する第2回目の拡散工程のみであることから、その製造工程も簡単となる。

【0043】また、これらのDFETとEFETは、共にゲートがp-n接合で構成されているため、ショットキーゲートによる場合におけるショットキー電極材料が基板に拡散することによるショットキー特性の劣化が回避されることから、特性劣化の耐性の向上、信頼性の向上を図ることができる。

【0044】更に、p-n接合の障壁電位は、ショットキーゲートのそれより高いので、より高い正のゲート電圧を印加できる。このため、EFETで構成したDCF L型論理回路では、大きな論理振幅とノイズマージンを得ることができ、DFETにおいては、より低いオン抵抗を得られる。この結果、RFスイッチを構成した場合の挿入損や、パワーアンプを構成した場合の電力効率を向上させることができる。

【0045】上述した例では、S/D電極281A、281B、および282A、282Bを、直接ゲート接合形成層（電子供給層）24にコンタクトする構成とした場合であるが、ゲート接合形成層（電子供給層）24上に高不純物濃度のキャップ層を設け、これにS/D電極281Aおよび281B、282Aおよび282Bを形成することによってよりコンタクト抵抗の低減化を図ることができる。

【0046】また、上述の実施形態においては、ゲート接合形成層24を、MODFETの電子供給層自体によって構成した場合であるが、このゲート接合形成層を、電子供給層上に形成した構成とすることもできる。次に、この実施形態を挙げる。

【0047】【第2の実施形態】この実施形態においても、共通の基板に、しきい値電圧が相違するFETとして、それぞれMODFET構造のEFETとDFETによる第1および第2のFETが、共通の基板上に形成する構成を有するものであるが、この実施形態においては、ゲート接合形成層を、MODFETの電子供給層上に設けた構成とした場合である。

10

20

30

40

50

【0048】その一例を、図4の概略断面図を参照して説明する。しかしながら、この実施形態においても、図4の例に限られるものではない。この例においては、ゲート接合形成層24を、MODFETの電子供給層43上に設けた構成とした場合で、また高不純物濃度のキャップ層45を設け、この上に、S/D電極281A、281B、および282A、282Bをコンタクトする構成とした場合である。また、この例では、チャンネル層23すなわち電子走行層と、電子供給層43との間に、スペーサ層42を介在させた構成とした場合である。

【0049】この例においても、例えば半絶縁性GaAs基体よりなる基体21上に、例えばバッファ層22を介して順次電子走行層となるアンドープのチャンネル層23、アンドープのスペーサ層42、第1導電型例えばn型の電子供給層43、第1導電型例えばn型のゲート接合形成層24と、更にこの例では、第1導電型例えばn型のエッチング停止層44と、第1導電型例えばn型の高濃度のキャップ層45が形成された基板31が構成される。

【0050】キャップ層45からバッファ層22を横切って、EFETの形成部とDFETの形成部とを電気的に分離する分離領域25が形成され、この分離領域25によって分離された各EFETの形成部とDFETの形成部において、ゲート接合形成層24に、それぞれ互いに深さを異にする第2導電型例えばp型の第1および第2の不純物導入領域261および262が形成され、これら領域261および262によって、p-n接合による深さを異にする第1および第2のゲート接合J₁およびJ₂を形成する。

【0051】第1および第2の不純物導入領域261および262上には、それぞれ第1および第2ゲート電極271および272をオーミックにコンタクトし、これらを挟んでその両側のキャップ層45にそれぞれ第1および第2のS/D領域電極281Aおよび281B、282Aおよび282Bをオーミックにコンタクトする。

【0052】この構成による半導体装置は、共通の基板31上の、それぞれ分離領域25によって電気的に分離された領域に、それぞれチャンネル層24とスペーサ層42との界面に2次元電子ガス層29が形成され、これら2次元電子層29に対向してゲート接合J₁およびJ₂が形成された第1および第2のMODFETが形成される。これらMODFETは、それぞれそのゲート接合J₁およびJ₂と2次元電子層29との距離d₁およびd₂が、d₁<d₂とされていることにより、そのしきい値電圧V_{th}が相違するMODFETが構成される。すなわち、EFETとDFETとが構成される。

【0053】次に、図5および図6を参照して、図4に示した半導体装置を製造する本発明製造方法の一実施形態の一例を説明する。この場合、先ず図5Aに示すように、例えば半絶縁性GaAs基体よりなる基体21上

に、全面的に順次、例えばMOCVD法、あるいはMBE法等によってバッファ層22、チャンネル層23、スペーサ43、電子供給層44、ゲート接合形成層24、キャップ層45とを順次エピタキシャル成長した積層半導体層を形成して基板31を構成する。

【0054】バッファ層22は、例えばそれぞれアンドープの厚さ50nmのAlGaAs層とGaAs層とが交互に5層ずつ積層された構成による。チャンネル層23は、アンドープの例えば厚さ20nmのGaAs層によって構成される。スペーサ層43は、例えば厚さ1~4nmのアンドープのAlGaAs層によって構成される。

【0055】電子供給層44は、例えば厚さ5nmのn型のAlGaAs層によって構成する。この場合のドーパントは例えばSiとし、そのドーピング濃度は、例えば1~5×10¹⁸ atoms/cm³の範囲とする。このゲート接合形成層24すなわち電子供給層の不純物濃度は、目的とする一方のFET、特にDFETのしきい値電圧と2端子ドレイン耐圧の要求に応じて選ぶ。

【0056】ゲート接合形成層24は、例えばn型の厚さ80nmのGaAs層によって構成する。この場合、ドーパントは例えばSiとし、そのドーピング濃度は、目的とする一方のFET、特にDFETのしきい値電圧と2端子ドレイン耐圧の要求に応じて選びものであり、例えば3×10¹⁷ atoms/cm³とする。

【0057】エッチング停止層44は、例えば厚さ5nmのn型のAlGaAs層によって構成する。n型のドーパントは、例えばSiとし、その濃度は、目的とする一方のFET、特にDFETのしきい値電圧と2端子ドレイン耐圧の要求に応じて選びものであり、例えば5×10¹⁷ atoms/cm³とする。

【0058】キャップ層45は、例えばn型の厚さ例えば30nmのGaAs層によって構成する。この場合のドーパントも、例えばSiとし、その濃度は、S/D電極281Aおよび281B、282Aおよび282Bを、十分低い低抵抗コンタクトし得る濃度の例えば5×10¹⁸ atoms/cm³とする。

【0059】このようにして、基板21上に半導体層のエピタキシャル成長がなされて形成された基板31に、図5Bに示すように、素子間分離を行う分離領域25を形成する。この分離領域25の形成は、例えば酸素原子を、第1および第2のFET、この例ではEFETとDFETの各形成領域を囲んでその平面パターンが格子状をなすように、絶縁層30を通じてイオン注入する。この場合の注入エネルギーは、濃度分布のピークが、電子供給層すなわちゲート接合形成層24と重なるか、あるいは多少電子供給層より深い所に位置するように選ぶ。この注入エネルギーは、例えば150~250keVとし、ドーズ量は、電子供給層のキャリア濃度が十分低下する程度に、例えば5×10¹³~1×10¹⁵ cm⁻²とす

10

20

30

40

50

る。

【0060】次に、DFETのゲート形成部に対するゲート接合を構成する第1の拡散工程を行う。このため、
 10 先ず、図5Bに示すように、EFETとDFETの各ゲート形成部のキャップ層45に、第1および第2の開口45W₁ および45W₂ を形成する。この開口の形成は、GaAsによるキャップ層45と、この下に配置されたAlGaAsによるエッチング停止層とのエッチング性の相違を用いた例えばクエン酸系のエッチング液による選択性エッチングによって行うことができる。すな
 わち、まず、図示しないがキャップ層45上に全面的に
 フォトリソグレイを塗布し、フォトリソグラフィによ
 15 て、開口45W₁ および45W₂ の形成部上に開口を形成し、このフォトリソグレイをエッチングマスクとして、上述の選択性エッチングを行って、エッチング停止層44におけるエッチング速度が低下した時点で、このエッチング停止層44が除去される程度のオーバーエッチングを行ってゲート接合形成層24を露出する開口45W₁ および45W₂ を穿設する。あるいは、例えばSiCl₄ とCF₄ とH₂ とのガスを用いたRIE（反応性
 20 イオンエッチング）によって開口45W₁ および45W₂ を穿設する。

【0061】その後、図5Cに示すように、開口45W₁ および45W₂ 内を含めて全面的に絶縁層30を被着し、更にフォトリソグラフィによって開口45W₁ 内にこの開口45W₁ の内縁部より内側に位置して第1の不純物導入窓30W₁ を形成する。

【0062】絶縁層30は、例えばプラズマCVD法によって形成したSiNによって構成する。このプラズマCVD法は、例えば基板温度300℃とし、5.3Pa
 30 とし、SiH₄ を115sccm、N₂ を44sccmで供給し、約60mW/cm² のパワー密度で行うことができる。

【0063】この絶縁層30に対する第1の不純物導入窓30W₁ の形成は、例えばRIEによって行うことができる。このRIEは、例えばCF₄ を21sccmで、H₂ を3sccmで供給し、約30mW/cm² 、
 2.5Paの条件で行うことができる。

【0064】そして、この絶縁層30の不純物導入窓30W₁ を通じて、第1の不純物拡散を行う。この拡散お
 40 よびその停止は、前述の第1の実施形態と同様の方法によることができる。すなわち、この場合においても、この第1の不純物拡散の終了点の設定は、後述する第2の不純物拡散が、第1の不純物導入窓30W₁ を通じて重ねてなされた状態で、最終的に得るEFETにおいて、目的とするしきい値電圧V_{th} が得られるように選定される。

【0065】次に、図6Aに示すように、更に、絶縁層30に対し、基板31のDFETの形成部のゲート形成部
 50 に、第2の不純物導入窓30W₂ を、この場合におい

ても開口45W₂ の内縁部より内側に位置して第2の不純物導入窓30W₂ を形成する。この第2の不純物導入窓30W₂ は、前述の第1の不純物導入窓30W₁ の形成と同様の方法によることができる。そして、第1および第2の不純物導入窓30W₁ および30W₂ を通じて不純物を拡散する第2の不純物拡散工程を行う。この第2の不純物拡散工程は、先の第1の不純物拡散工程と同様の方法によることができる。

【0066】このようにして、DFETとEFETの両ゲート部に、それぞれp型の高不純物濃度の第1および第2の不純物導入領域261および262によってp-n接合による第1および第2のゲート接合J₁ およびJ₂ を形成する。

【0067】このようにして形成された第1および第2の不純物導入領域261および262は、第1の不純物導入領域261においては、第1および第2の不純物拡散工程がなされることによって、第2の不純物拡散工程のみによって形成された第2の不純物導入領域262に比して、深く拡散され、第1のゲート接合J₁ は、第2のゲート接合J₂ より深い位置に形成される。すな
 わち、第1および第2のゲート接合J₁ およびJ₂ と2次元電子ガス層29との間隔d₁ およびd₂ は、d₁ < d₂ となる。

【0068】この拡散の終了点の制御は、第1の不純物拡散工程における同様の方法によることができるが、この場合、第1の不純物拡散工程で、その拡散深さが所要の深さに制御されて、これら第1および第2の不純物拡散工程後において、両ゲートに関して、それぞれ同時に所望のしきい値電圧V_{th} が得られるように制御される。

【0069】その後、図6Bに示すように、各窓30W₁ および30W₂ を通じて各第1および第2の不純物導入領域261および262上に第1および第2のゲート電極271および272をオーミックにコンタクトする。

【0070】これら第1および第2のゲート電極271および272は、図3Bで説明したと同様の方法および構成とすることができる。

【0071】このようにして、不純物導入領域261および262上にそれぞれ第1および第2のゲート電極271および272が形成された各EFETおよびDFETのゲートが構成される。その後、図4に示すように、これら各EFETおよびDFETの形成部において、各ゲートを挟んでその両側のキャップ層45に、それぞれS/D電極281A、281B、および282A、282Bを形成する。これら電極コンタクト窓30W_c およびS/D電極281A、281B、および282A、282Bの形成は、前述した第1の実施形態における例で説明したと同様に、図示しないが、これらゲート電極271および272を覆って全面的にフォトリソグレイを形成し、フォトリソグラフィによって電極コンタクト窓

30Wcの形成部上に開口を形成し、先ず、このフォトレジスト層をマスクとしてこのフォトレジスト層に形成した開口を通じて絶縁層30に対するエッチングを行って電極コンタクト窓30Wcを開孔する。この場合においても、好ましくは、エッチング時間を例えば50%程度過剰に設定するか、中性ラジカルか、BHFを用いた等方性エッチングを加えることにより、絶縁層30に対してわずかに横方向のエッチングを進行させ、各窓30Wcの縁部にフォトレジスト層がひさし状に突出するオーバーハングが生じるようにする。

【0072】次に、更にこのフォトレジスト層を用いてS/D電極をリフトオフ法によって形成する。すなわち、電極コンタクト窓30Wcを通じて、ゲート接合形成層の表面に被着するように、フォトレジスト層上に渡って全面的にS/D電極を構成するオーミック電極材料を堆積させる。次に、アセトンなどの有機溶剤を用いてフォトレジスト層を除去し、このフォトレジスト層の除去とともにこのフォトレジスト層上に形成された部分の電極材料を除去する。すなわち、リフトオフする。このようにして、各電極コンタクト窓30Wcを通じてキャップ層45に各S/D電極281A、281B、および282A、282Bの被着がなされる。この電極材料は、前述したと同様に、例えばAuGe合金とNiの2層膜とし、それぞれの膜厚は、例えば、170nmと45nmとする。電極材料の堆積には、抵抗加熱蒸着法などの基板温度上昇の少ない方法を用いることが好ましい。

【0073】その後、基板31を、フォーミングガス雰囲気中で、400～450℃で30秒～90秒間加熱し、S/D電極281Aおよび281B、282Aおよび282Bと、基板材料とを合金化させ、各S/D電極のオーミックコンタクトを行う。

【0074】このようにして、DFETとして最適化されたエビタキシャル半導体層を有する基板31を用いて、しきい値電圧 V_{th} を異にする、すなわち、上述の例では、DFETとEFETの両方が形成される。

【0075】この第2の実施形態の図4～図5で説明した例では、エッチング停止層44を設けたことにより、ゲート接合J₁およびJ₂の形成、すなわち不純物導入領域261および262の形成の第1および第2の拡散工程における不純物拡散の開始点が、エッチング停止層44によって規定されるため、DFETとEFETのしきい値電圧の差を、より精度よく制御できる。

【0076】また、上述の第1および第2実施形態においては、第1および第2のFET、すなわちDFETとEFETが、ともにMODFETである場合であるが、これら第1および第2のFETの例えばDFETとEFETが、ドープドチャネル型MISFETいわゆるHFETである場合、あるいは接合ゲート型のJFETによって構成する場合、あるいはこれらの組み合わせによる

構成とすることができる。

【0077】〔第3の実施形態〕この実施形態においては、第1および第2のFETとしてのDFETとEFETを、共にHFETとした場合である。図7を参照してこの場合の一例を説明するが、この例に限られるものではない。図7において、図4と対応する部分には同一符号を付して重複説明を省略するが、この例においては、基板31が、同様に例えば半絶縁性のGaAs基板より成り、これの上に、前述したように、例えばアンドープのAlGaAs層とGaAs層の繰り返し積層によるバッファ層22、第1導電型例えばn型のGaAsあるいはAlGaAsによるチャネル層23、バンドギャップがチャネル層23に比し大のアンドープのInGaAs層によるバリア層を構成するゲート接合形成層24、n型の高濃度のGaAsによるキャップ層45を順次前述したと同様に、MOCVD、MBE法等によってエビタキシャル成長して基板31を構成する。

【0078】その後は、第2の実施形態において説明したと同様の方法によって、分離領域25の形成、第1および第2の拡散工程によって不純物導入領域261および262の形成、第1および第2のゲート電極271および272の形成、S/D電極281A、281B、および282A、282Bの形成を行う。

【0079】尚、この図7に示す例においては、エッチング停止層の形成を省略した場合であるが、この場合においても、必要に応じて、図4におけるエッチング停止層44を形成することもできる。

【0080】〔第4の実施形態〕この実施形態においては、第1および第2のFETとしてのDFETとEFETを、共にJFETとした場合である。図8および図9を参照してその製造方法と共にその一例を説明するが、この例に限られるものではない。先ず図8Aに示すように、例えば半絶縁性の(100)結晶面によるGaAsによる基体21を用意し、その表面に例えば厚さ50nmの例えばSiN膜による表面層20を、SiH₄とN₂のガス系による温度300℃でのプラズマCVD法等によって形成する。

【0081】図8Bに示すように、この基体21の表面層20を有する一主面側に、表面層20を通じてEFETとDFETの形成部にそれぞれ第1導電型例えばn型のゲート接合形成層24を、イオン注入によって形成して、基板31を構成する。このイオン注入は、例えばSi⁺を100keVで $1.5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入するかあるいはMg⁺⁺を220keVで $1.5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入することによって形成する。

【0082】図8Cに示すように、図8Bの表面層20を例えばBHFに基板31を浸漬して除去し、AsH₃中で800℃のアニールを行ってイオン注入した不純物の活性化を行う。

10

20

30

40

50

【0083】図8Dに示すように、ゲート接合形成層24が形成された基板31の表面に拡散マスク層となる絶縁層30を、上述した表面層20の形成と同様の方法によって形成し、この絶縁層30のEFETの形成部側のゲート接合形成層24上に、第1の不純物導入窓30W₁を開口する。この窓30W₁の形成は、例えばCF₄を21sccm、H₂を3sccmで供給し、2.5Pa、30mW/cm²のパワーによる反応性イオンエッチングによって形成することができる。

【0084】その後、図9Aに示すように、第1の不純物導入窓30W₁を通じて、気相拡散によって不純物導入領域26を形成する。この気相拡散は、例えばZn(CH₃)₂とAsH₃とH₂とを供給し、基板温度600℃で行うことができる。

【0085】次に、図9Bに示すように、絶縁層30に対し、第2の不純物導入窓30W₂を開口し、両窓30W₁および30W₂を通じて不純物の気相拡散を行う。この場合の窓30W₂の開口と、不純物の気相拡散は、図9Aの工程と同様の方法によることができる。

【0086】このようにすると、各窓30W₁および30W₂下にそれぞれ第1および第2の不純物導入領域261および262が形成され、それぞれ第1および第2p-n接合J₁およびJ₂が形成される。そして、この例においても第1の不純物導入窓30W₁に関しては2度の拡散がなされたことにより、接合J₁の深さは、J₂の深さより深くなり、それぞれしきい値電圧を異にする第1および第2のFETが構成される。

【0087】一方、第1の実施形態で説明したと同様の方法によって、電極コンタクト窓30cを形成して、S/D電極281A、281B、および282A、282Bを形成する。

【0088】尚、上述した各例においては、所望のしきい値電圧を有する2つFETを形成する場合について示したが、3つのFETを構成する場合に適用することもできるし、他の回路素子を、共通の基板31に形成することもできる。

【0089】また、上述した例では、第1導電型がn型とした場合であるが、第1導電型がp型で第2導電型がn型とすることもできなど、本発明装置および方法は、上述した例に限られるものではない。

【0090】

【発明の効果】上述したように、本発明においては、共通の基板に形成したしきい値電圧を異にする少なくとも第1および第2の2つのFET、例えばDFETとEFETは、ともにゲートがp-n接合で構成されているため、ショットキーゲート構成とする場合におけるショットキー電極材料が基板に拡散することによるショットキー特性の劣化が回避されることから、特性劣化の耐性の向上、信頼性の向上を図ることができる。

【0091】更に、p-n接合の障壁電位は、ショット

キーゲートのそれより高いので、より高い正のゲート電圧を印加できる。このため、EFETで構成したDCF型論理回路では、大きな論理振幅とノイズマージンを得ることができ、DFETにおいては、より低いオン抵抗を得られる。この結果、RFスイッチを構成した場合の挿入損や、パワーアンプを構成した場合の電力効率を向上させることができる。

【0092】また、本発明製造方法においては、第1および第2の電界効果トランジスタのゲート部の不純物導入領域を形成するに、その実質的拡散時間の制御することにより、その深さ、すなわちp-n接合の深さの設定を行うようにしたことによって、いずれのFETに関しても、その特性を犠牲にすることなく作製することができる。

【0093】また、基板構造が簡深化されることにより、その作製が容易となるので、製造コストの低下と、不良品の発生率の低減化をはかることができる。

【0094】更に、エッチング停止層は、第1および第2の電界効果トランジスタに関してそれぞれ設けることがなく、少なくとも一方に関して、このエッチング停止層が用いられない構成としたことにより、このエッチング停止層に起因する直列抵抗の低減、したがって、FETとEFETの両方において、より低いオン抵抗や伝達利得、遮断周波数などを得ることができる。

【0095】また、2つ以上のしきい値電圧V_{th}を異にするFETを混載させるために必要な工程数の増加は、第2の不純物導入窓の形成工程だけであるから、工程数の減少を図ることができ、量産性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の一例の概略断面図である。

【図2】A～Cは、本発明による半導体装置の一例の一製造方法の工程図（その1）である。

【図3】AおよびBは、本発明による半導体装置の一例の一製造方法の工程図（その2）である。

【図4】本発明による半導体装置の他の一例の概略断面図である。

【図5】A～Cは、本発明による半導体装置の製造方法の一例の工程図（その1）である。

【図6】AおよびBは、本発明による半導体装置の製造方法の一例の工程図（その2）である。

【図7】本発明による半導体装置の他の例の概略断面図である。

【図8】A～Dは、本発明による半導体装置の例の製造方法の一例の工程図（その1）である。

【図9】A～Dは、本発明による半導体装置の例の製造方法の一例の工程図（その2）である。

【図10】従来の半導体装置の概略断面図である。

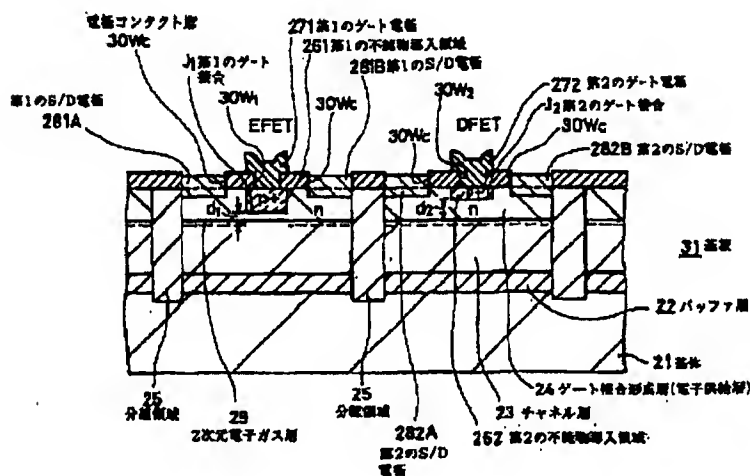
【符号の説明】

uned 6/29/2009

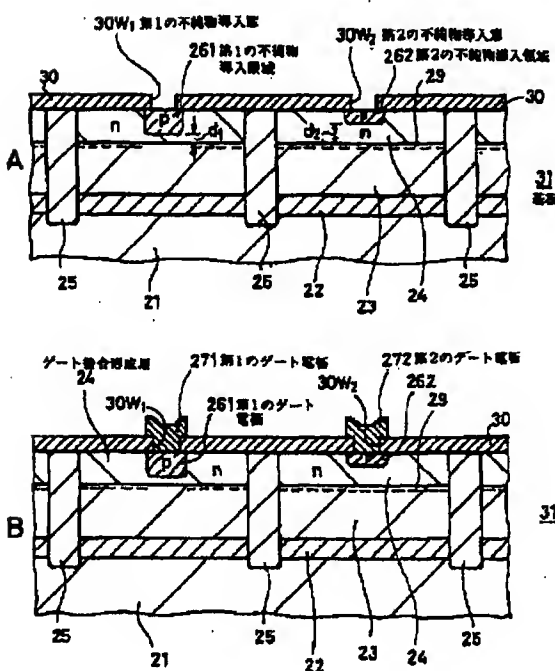
1・・・半絶縁性基体、2・・・チャネル層、3・・・
電極供給層、4・・・しきい値制御層、5・・・第1の
エッチング停止層、6・・・第1のオーミックコンタ
クト層、7・・・第2のエッチング停止層、8・・・第2
のオーミックコンタクト層、9R、10R・・・凹部、
9、10・・・ゲート電極、11～14ソースないしは
ドレイン電極、20・・・表面層、21・・・基体、2
2・・・パツファ層、23・・・チャネル層、24・・・
ゲート接合形成層、25・・・分離領域、261・・・
第1の不純物導入領域、262・・・第2の不純物導
入領域、26・・・不純物導入領域、271・・・第1*

*のゲート電極、272・・・第2のゲート電極、281
Aおよび281B・・・第1のソースないしはドレイン
領域、282Aおよび282B・・・第2のソースない
しはドレイン領域、29・・・2次元電子ガス層、30
・・・絶縁層(マスク層)、30W₁・・・第1の不純
物導入窓、30W₂・・・第2の不純物導入窓、30W
c・・・電極コンタクト窓、31・・・基板、42・・・
スペーサ層、43・・・電子供給層、44・・・エッ
チング停止層、45・・・キャップ層、J₁・・・第1
のゲート接合、J₂・・・第2のゲート接合

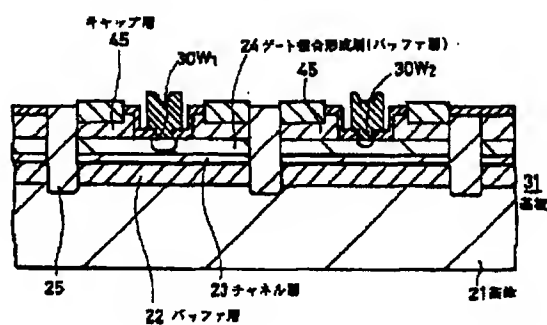
【図1】



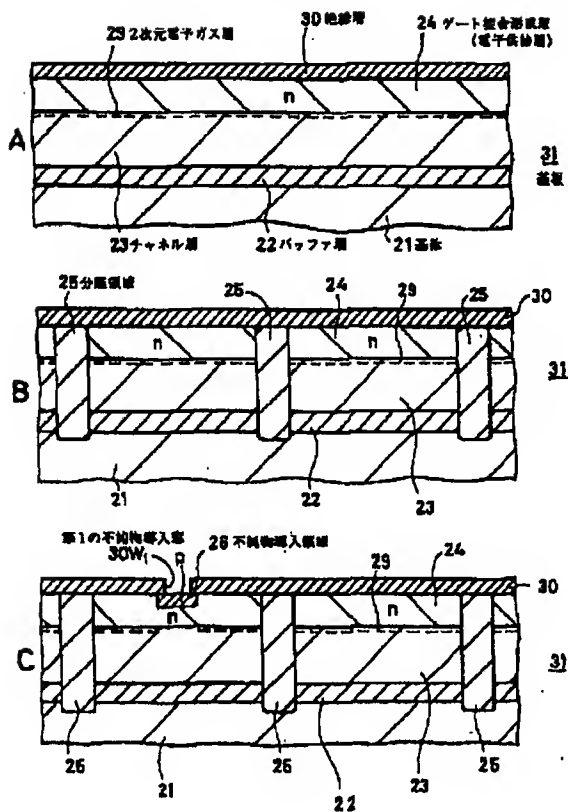
【図3】



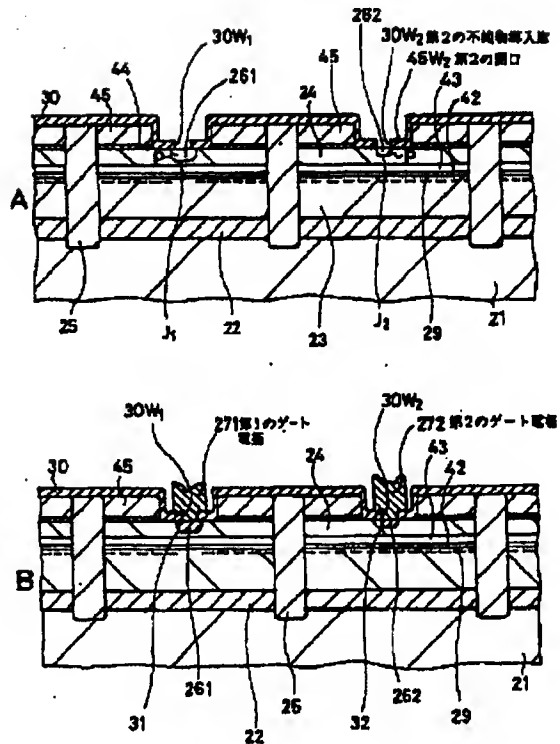
【図7】



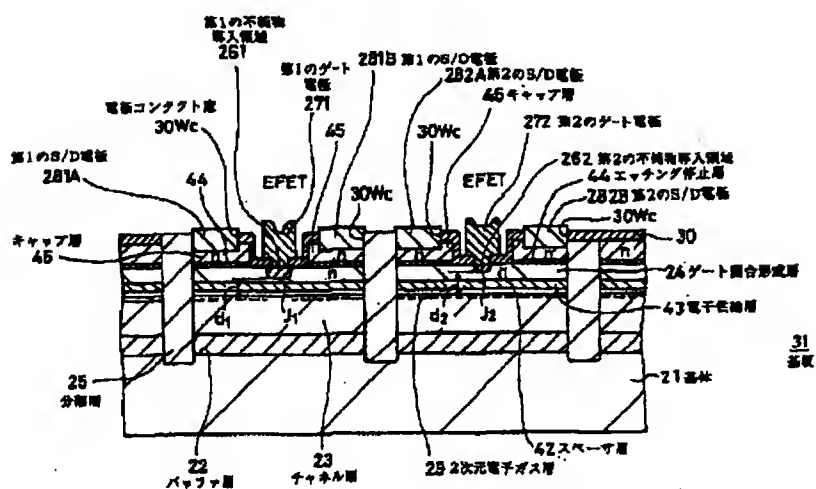
【図2】



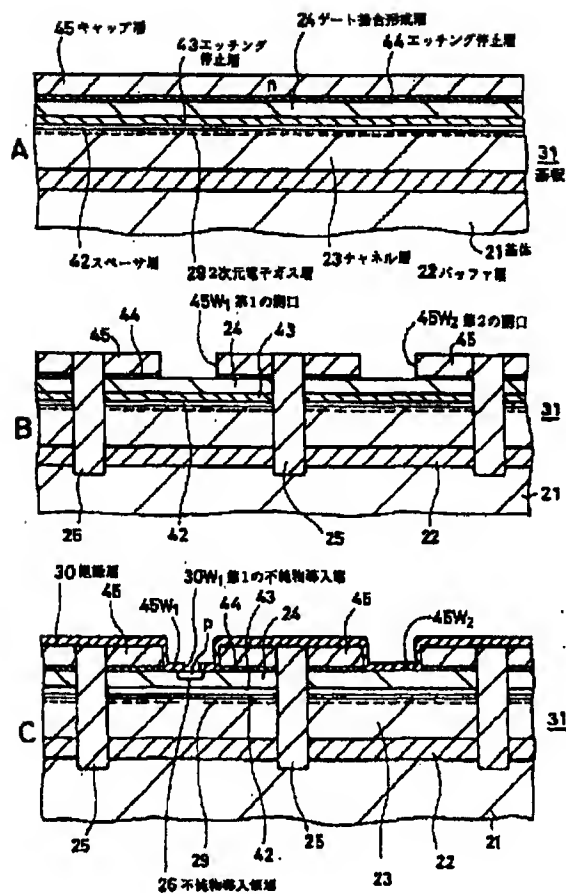
【図6】



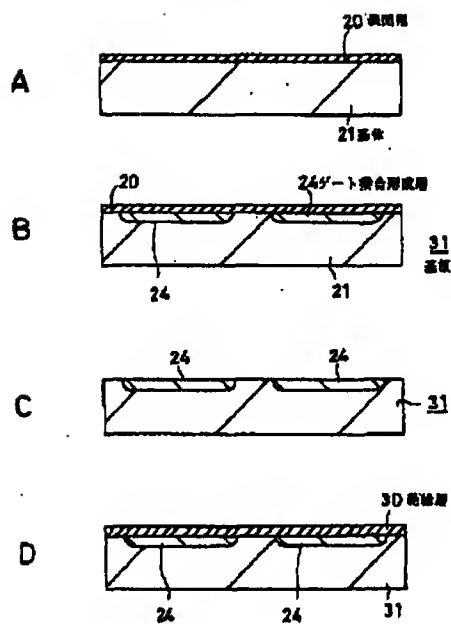
【図4】



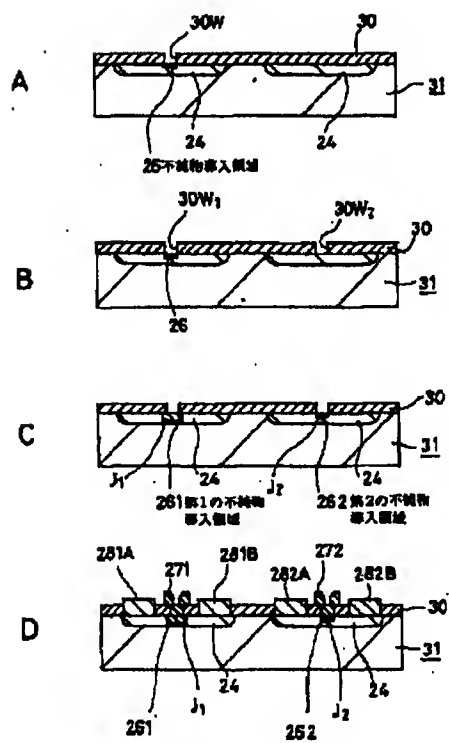
【図5】



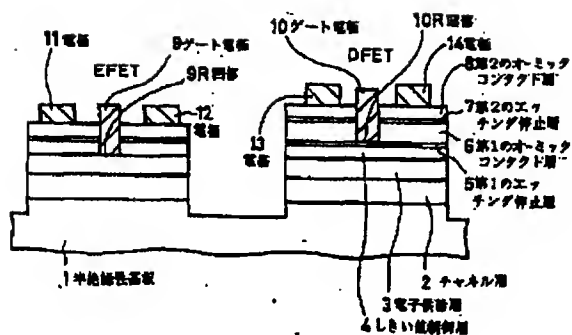
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 29/812

Fターム(参考) 5F032 AA03 AA07 CA06 CA10 CA16

DA43

5F102 GA02 GA04 GB01 GC01 GD04

GD10 GJ05 GK05 GK06 GK08

GL05 GM06 GN05 GQ01 GR01

GR10 GS02 GS04 GT03 GV06

GV07 GV08 HC01 HC05 HC07

HC15 HC19